

应用于 10 bit 10MSPS SAR ADC 的自举采样开关的设计

魏榕山,张泽鹏

(福州大学 物理与信息工程学院,福建 福州 350116)

摘 要: 基于 Global Foundries 0.18 μm CMOS 工艺,设计了一种用于 10 bit 10MSPS SAR ADC 的栅压自举采样开关电路.讨论了互补型 CMOS 采样开关和传统的栅压自举采样开关的不足,提出了一种新型的栅压自举采样开关电路结构,有效地提高了该电路的可靠性.仿真结果表明:当输入信号频率接近奈奎斯特频率时,该栅压自举采样开关电路的信噪比可以达到 72 dB,可以适用于 10 bit 10MSPS SAR ADC 的应用需求.

关键词: 采样开关;SAR;栅压自举开关

中图分类号: TN432

文献标识码: A

文章编号: 1000-7180(2014)11-0102-04

Design of a Bootstrapped Sampling Switch Applied for 10 Bit 10MSPS SAR ADC

WEI Rong-shan,ZHANG Ze-peng

(College of Physics and Information Engineering, Fuzhou University, Fuzhou 350116, China)

Abstract: A bootstrapped sampling switch applied for 10bits 10MSPS SAR ADC is designed based on the Global Foundries 0.18 μm CMOS process. The disadvantages of complemented CMOS sampling switch and conventional bootstrapped sampling switch are discussed. A new bootstrapped sampling circuit topology is presented to efficiently achieve high reliability. Simulation result shows that the SNDR of the proposed circuit can reach 72 dB when input signal frequency closes to Nyquist frequency, which satisfies the requirement of 10bits 10MSPS SAR ADC.

Key words: sampling switch; SAR; Bootstrapped switch

1 引言

随着 CMOS 集成电路工艺的迅速发展,工艺尺寸的不断降低,对模数转换器(ADC)的要求越来越高.在各种结构的模数转换器中,逐次逼近模数转换器(SAR ADC)因其较低的功耗,速度可以随着工艺尺寸的降低而提高,从而得到了广泛的应用^[1].高性能的前端采样开关电路是 SAR ADC 的重要组成部分,其动态性能直接影响 SAR ADC 的性能.为了提高采样开关电路的线性度,栅压自举开关电路在采样开关电路中得到了大量运用^[2].然而在栅压自举开关电路的工作过程中,其内部的部分节点电压会出现高于供电电压的情况,这在很大程度上降低了栅压自举开关电路的可靠性^[3].

本文对 SAR ADC 的采样开关电路进行研究,对采样开关电路的两种常见结构(互补型的 CMOS 采样开关^[3-5]和栅压自举型的采样开关^[6-9])的等效电阻进行计算分析,合理地选用开关电路的结构,设计开关电路尺寸,并对采样开关电路的每一个节点电压进行仿真测试,设计出一个适用于 10 bit 10MSPS SAR ADC 的高可靠性采样开关电路.

2 互补型的 CMOS 采样开关

图 1 为互补型的 CMOS 采样开关示意图. CMOS 采样开关由一个 NMOS 管和一个 PMOS 管组成^[3].他们的栅极分别由图 1 所示的 S 和 $\bar{S}$ 信号控制,其中 S 与 $\bar{S}$ 的相位相反. S 为高电平,采样开关进入开启阶段, M1 和 M2 导通, V_O 开始跟踪 V_{in}

收稿日期: 2014-01-09; 修回日期: 2014-03-01

基金项目: 国家“九七三”计划(2011CB808003);福建省自然科学基金(2012J01269)

信号;S 为低电平,采样开关进入关断阶段,M1 和 M2 截止, V_O 将保持在开启阶段结束时刻跟踪 V_{in} 得到的电压值,从而完成一次采样过程。

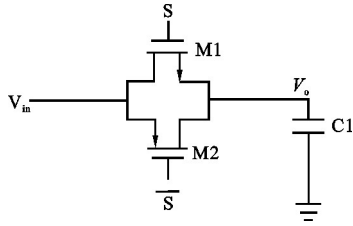


图1 互补型 CMOS 采样开关

当互补型 CMOS 采样开关电路进入开启阶段,输入信号为如图 2 所示的全摆幅信号时,对互补型 CMOS 采样开关等效电阻的分析可以分成三个部分:(1) $t_0 \sim t_1$ 阶段,由于 M2 管的 $|V_{gs2}| \leq |V_{thp}|$,互补型 CMOS 采样开关中只有 NMOS 管导通。(2) $t_1 \sim t_2$ 阶段,互补型 CMOS 采样开关中的两个管子同时导通。(3) $t_2 \sim t_3$ 阶段,由于 M1 管的 $V_{gs1} \leq V_{thn}$,互补型 CMOS 采样开关中只有 PMOS 管导通。

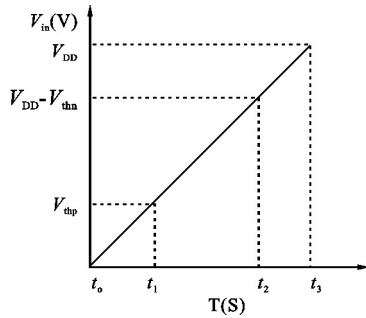


图2 全摆幅输入信号分析

当 MOS 管在开启阶段导通时,一般工作在线性区.其等效电阻为

$$R_{on_NMOS} = \frac{1}{\mu_n C_{ox} (W/L)_n (V_{gs} - V_{thn})} \quad (1)$$

$$R_{on_PMOS} = \frac{1}{\mu_p C_{ox} (W/L)_p (|V_{gs}| - |V_{thp}|)} \quad (2)$$

其中,式(1)为 NMOS 管的等效电阻,式(2)为 PMOS 管的等效电阻.式中, μ_n 和 μ_p 分别为 NMOS 管和 PMOS 管的载流子迁移率, C_{ox} 为单位面积的栅氧化层电容, V_{thn} 和 V_{thp} 分别为 NMOS 管和 PMOS 管的阈值电压.因此,根据式(1)、(2)两知 M1、M2 管在开启状态时,其等效电阻为

$$R_{on_M1} = \frac{1}{\mu_n C_{ox} (W/L)_n (V_{DD} - V_{in} - V_{thn})} \quad (3)$$

$$R_{on_M2} = \frac{1}{\mu_p C_{ox} (W/L)_p (V_{in} - 0 - |V_{thp}|)} \quad (4)$$

当输入信号进入 $t_0 \sim t_1$ 阶段时,互补型 CMOS 采样开关的导通电阻为

$$R_{on1} = R_{on_M1} = \frac{1}{\mu_n C_{ox} (W/L)_n (V_{DD} - V_{in} - V_{thn})} \quad (5)$$

当输入信号进入 $t_1 \sim t_2$ 阶段时,互补型 CMOS 采样开关的导通电阻为

$$R_{on2} = R_{on_M2} // R_{on_M1} = \frac{1}{\mu_n C_{ox} (W/L)_n (V_{DD} - V_{thn}) - [\mu_n C_{ox} (W/L)_n - \mu_p C_{ox} (W/L)_p] V_{in} - \mu_p C_{ox} (W/L)_p |V_{thp}|} \quad (6)$$

从上式可知,不考虑衬偏效应对阈值电压的影响,则只要选择宽长成一定比例的 PMOS 和 NMOS,保证 $\mu_n C_{ox} (W/L)_n$ 等于 $\mu_p C_{ox} (W/L)_p$ 即可保证等效电阻与输入信号无关.此时等效电阻的阻值为

$$R_{on2} \approx \frac{1}{\mu_n C_{ox} (W/L)_n (V_{DD} - V_{thn} - |V_{thp}|)} \quad (7)$$

当输入信号进入 $t_2 \sim t_3$ 阶段时,互补型 CMOS 采样开关的导通电阻为

$$R_{on3} = R_{on_M2} =$$

$$\frac{1}{\mu_p C_{ox} (W/L)_p (V_{in} - 0 - |V_{thp}|)} \quad (8)$$

通过对比式(5)、(7)、(8)可知,互补型 CMOS 采样开关在输入信号为全摆幅输入的情况下,其等效电阻只有在 $t_1 \sim t_2$ 阶段基本可以保持与输入信号无关,而在 $t_0 \sim t_1$ 和 $t_2 \sim t_3$ 两个阶段,其等效电阻与输入信号有很大的关系^[3],互补型 CMOS 采样开关在输入信号进入上述两个阶段时,会引入比较大的谐波失真^[10],无法满足高速高精度的设计需求。

3 高可靠性的栅压自举采样开关

为了满足 10 bit 10MSPS SAR ADC 的设计要

求,在输入信号为全摆幅输入的情况下,采样开关依旧可以保持很高的线性度,等效电阻基本与输入信号无关,本文选择了栅压自举采样开关作为该 10 bit 10MSPS SAR ADC 的前端采样开关电路。

传统的栅压自举采样开关电路^[7-9],只避免了在其工作过程中存在的内部部分 MOS 管两端口间的电压差值远远大于供电电压的情况,而并没有有效规避在芯片上电工作的一刹那,采样开关电路内部的 MOS 管存在发生闩锁效应的可能,这在很大程度上降低了栅压自举采样开关电路的可靠性。本文提出的高可靠性栅压自举采样开关电路不仅在工作过程中没有任何的 MOS 管两端口间的电压差值存在大于供电电压的情况,而且有效地规避了在芯片上电工作的一刹那,采样开关电路内部的 MOS 管发生闩锁效应的可能。

本文所设计的开关电路在工作过程中可以等效的看成如图 3 所示的一个只由 NMOS 管组成的简单采样开关。由图 3 可知,本文所设计的开关电路在工作过程中存在两种状态,一种是关断状态,一种是开启状态。开关电路工作在关断状态时,等效 NMOS 管的栅极接地, NMOS 管处于关断状态。当开关电路工作在开启状态时,等效 NMOS 管的栅源两端会出现一个接近于供电电压 V_{DD} 的电压差值,这样就在等效 NMOS 管的源漏两端建立了一个与输入信号无关的,固定阻值的低阻路径^[3]。

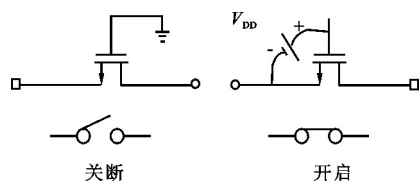


图 3 高可靠性栅压自举开关等效模型

如图 4 所示为本文所设计的实际的栅压自举采样开关电路。主要通过时钟 CLK_S 来控制 M11 管的开启与关断,进而完成采样保持的功能。当 M11 工作在关断状态时, CLK_S 为低电平, M9, M12 开启, 将 G 点的电位拉低到地。同时, M3, M4 两个 MOS 管向电容 C_1 充电,并最终将电容 C_1 上下极板的电位差稳定在电源电压 V_{DD} 。该电容 C_1 将在下一时刻 M11 工作在开启状态时,充当电池的功能。当 M3, M4 两个 MOS 管向电容 C_1 充电时, M8, M10 关断,起到隔离的作用。当下一个时刻 CLK_S 为高电平时, M6 将 M8 的栅极电位拉低,存储在 C_1 上的电荷可以通过 M8 管,向 G 点充电。G 点的电位进而开始升

高, MOS 管 M10 和 M11 因此开启。M10 的开启,使得电容 C_1 的下极板与输入信号端口相连,电容 C_1 的下极板电压近似与输入信号电压 V_{in} 相等,进而电容 C_1 的上极板电压近似变为 $V_{in} + V_{DD}$ 。由于此时电容 C_1 的上极板与 G 点相连,因此, M11 管的 V_{gs11} 近似恒定,与输入信号无关。由上述工作状态分析可知, M8 管的体端应与源端相连,以防止 M8 管发生闩锁效应。

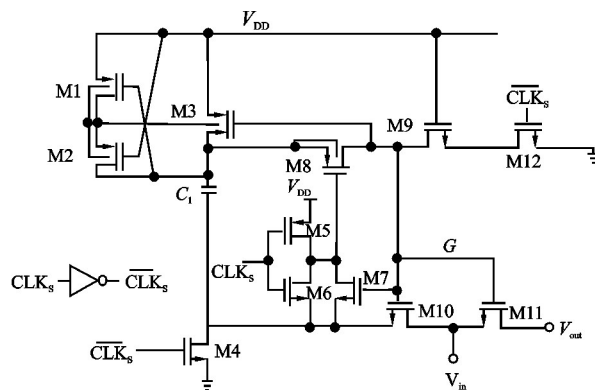


图 4 高可靠性栅压自举开关

M7 和 M9 的使用是为了增加电路在工作时的可靠性。M7 管的使用可以有效保证 M8 管的 $|V_{gs8}|$ 不会超过 V_{DD} 。M9 管的使用可以降低当 CLK_S 为高电平时, MOS 管 M12 的漏栅电压和漏源电压。

为了防止 M3 管在芯片上电的一刹那发生闩锁效应,本文特别加入了 M1 和 M2 两个 P 型 MOS 管。当芯片闲置时,电容 C_1 上存储的电荷将会被逐步的泻放,其上下极板的电压接近于 0 V。当芯片上电的一刹那, MOS 管 M3 和 M4 第一次向电容 C_1 充电时,对于 MOS 管 M3 来说,最高的电位即为与其源端相连的电源电压 V_{DD} ,此时 M3 管的源漏电压为 $V_{sd3} = V_{DD}$ 。但是当该电路工作在开启状态时,对 M3 管来说,最高的电位为与其漏端相连的电容 C_1 上极板电压 $V_{DD} + V_{in}$,此时 M3 的漏源电压为 $V_{ds3} = V_{in}$ 。因此,对于 M3 管来说,当输入信号正向输入时,为了防止发生闩锁效应,其体端既不能接源端,也不能接漏端。为了保证 M3 管的体端始终与最高的电位相连,本文加入了 M1 和 M2 两个 P 型 MOS 管。如图 4 分析可知,当芯片上电的一刹那, $V_{sd3} = V_{DD}$,此时 M1 管的 $|V_{gs1}| > |V_{th1}|$, M1 管导通, M3 管的体端与此时的最高电位 V_{DD} 相连。当下一个时刻电路工作在开启状态时, $V_{ds3} = V_{in}$,假如此时输入信号 $V_{in} > |V_{th2}|$,则 M2 管的 $|V_{gs2}| > |V_{th2}|$, M2 管导通, M3 管的体端与此时的最高电位 $V_{DD} +$

V_{in} 相连.

由于 G 点上存在对地的寄生电容 C_P , 当开关电路工作在开启状态时, 该寄生电容会对存储在电容 C_1 上的电荷进行电荷分享, 同时, 输入信号也会通过电容 C_1 耦合到 G 点之上进而影响 G 点上的电压. 经过分析计算可知, 在开关电路工作在开启状态时, G 点上的电压可以通过式(9)^[3]进行计算:

$$V_G = \frac{C_1}{C_1 + C_P} V_{DD} + V_{in} \quad (9)$$

根据式(1)、(9)可以推导出 M11 管在开启状态时等效电阻的计算公式:

$$R_{on_M11} = \frac{1}{\mu_n C_{ox} (W/L)_n \left(\frac{C_1}{C_1 + C_P} V_{DD} - V_{th11} \right)} \quad (10)$$

可见, 本文所采用的栅压自举采样开关电路, 工作在开启状态时, 等效电阻基本与输入信号无关. 在输入信号为全摆幅的情况下, 依然具有很高的线性度. 增大电容 C_1 可以有效的降低 G 点的寄生电容对 M11 管的等效电阻的影响, 同时提高开关电路的采样速度.

4 仿真结果

采用 Global Foundries 0.18 μm 工艺模型, 利用 Cadence 软件对电路进行了仿真. 图 5 为所设计的高可靠性的栅压自举采样开关电路瞬态仿真波形图. 为了给 10 bit 10MSPS SAR ADC 提供足够的信号量化时间, 本文缩短了 CLK_S 为高电平的开启时间, 延长了用于信号量化的 CLK_S 为低电平的关断时间. 由瞬态仿真图可以看到, 当 CLK_S 为低电平时, MOS 管 M11 的栅极电压 V_G 为低电平, 开关管 M11 关断, 输出信号 V_{out} 保持不变; 当 CLK_S 为高电平时, MOS 管 M11 的栅极电压 V_G 跟随输入信号 V_{in} 并保持栅源电压 V_{gs11} 接近 V_{DD} 不变, MOS 管 M11 导通, 输出信号 V_{out} 跟随输入信号 V_{in} , 符合前面的理论分析.

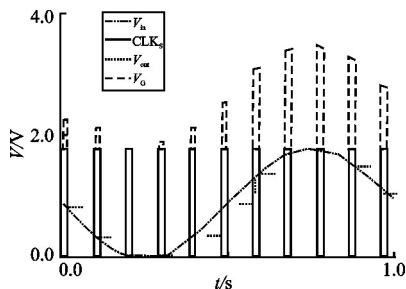


图 5 瞬态仿真结果

图 6 所示为对所设计的高可靠栅压自举采样开关的采样结果, 进行 FFT 频谱分析得到的输出频谱. 采用接近奈奎斯特频率的输入信号对本文所设计的采样开关进行验证. 经过计算得到采样结果的 SNDR 为 72 dB, 可以适用于 10 bit 10MSPS SAR ADC 应用要求.

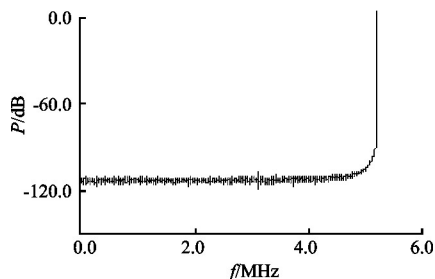


图 6 输出信号的 FFT 仿真结果

本文还对每一个 MOS 管的任意两个端口电压差值进行瞬态仿真验证, 没有任何一个 MOS 管的两端口电压高于 V_{DD} . 对 M3 管的体端也进行了瞬态仿真的验证, 在电路上电的一刹那, M1 和 M2 两个 MOS 管可以保证 M3 管的体端电压迅速接近最高的电位.

5 结束语

本文在 Global Foundries 0.18 μm CMOS 工艺下, 设计用于 10 bit 10MSPS SAR ADC 的采样开关电路. 采用栅压自举开关电路作为该采样开关的基本结构, 使得输入信号为全摆幅输入的情况下采样开关依然具有很高的线性度. 同时, 对传统的栅压自举开关电路结构进行了改进, 有效规避了在芯片上电工作的一刹那, 栅压自举开关电路内部的 MOS 管发生闩锁效应的可能, 提高了其可靠性. 仿真表明, 采样结果的 SNDR 为 72 dB, 所设计的自举采样开关, 可以适用于 10 bit 10MSPS SAR ADC 应用要求.

参考文献:

- [1] Y Zhu, C H Chan, U F Chio, et al. A 10-bit 100-MS/s reference-free SAR ADC in 90 nm CMOS [J]. IEEE Journal of Solid-State Circuits, 2010, 45 (6): 1111-1121.
- [2] Liu C C, Chang S J, Huang G Y, et al. A 10-bit 50-MS/s SAR ADC with a monotonic capacitor switching procedure[J]. IEEE Journal of Solid-State Circuits, 2010, 45(4): 731-740.

(下转第 110 页)

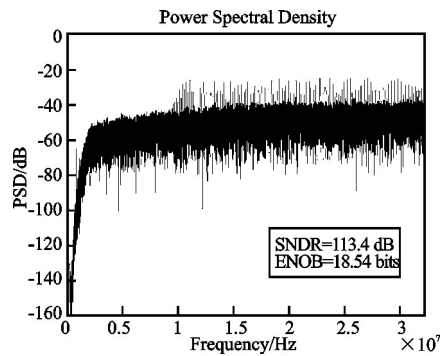


图 11 仿真信噪比

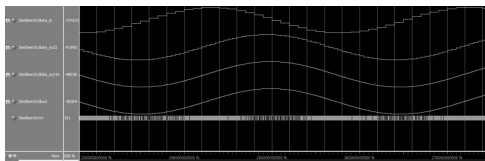


图 12 Modelsim 仿真波形

Σ - Δ DAC 的设计,用 Matlab 完成算法级设计,并将数字部分用 verilog 实现,其中对插值滤波器中半带滤波器运用 CSD 编码和多相结构进行了改进,有效节省了电路面积.通过 64 倍过采样和 5 阶调制器的噪声整形,仿真结果表明,对带宽 400 kHz 的信号可以实现 113 dB 的量化噪声信噪比,有效位数达 18 位以上.

参考文献:

- [1] 程佩青. 数字信号处理教程(第三版)[M]. 北京:

清华大学出版社,2007.

- [2] 邓培. Sigma-Delta DAC 设计[D]. 西安:西安电子科技大学,2011.
- [3] 李晶. 一种应用于 Sigma-Delta 音频 DAC 的低功耗内插滤波器的研究与设计[D]. 杭州:浙江大学,2011.
- [4] Kei-Yong Khoo, Alan Kwentus and Alan N, et al. A programmable FIR digital filter using CSD coefficients[J]. IEEE Journal of Solid State Circuits, 1996, 33(12):869-874.
- [5] 秦坤,陆铁军,肖杜,等. 一种应用于音频的 DAC 中插值滤波器的设计[J]. 微电子学与计算机,2009,26(11):82-85.
- [6] Hogenauer E B. An economical class of digital filters for decimation and interpolation[J]. IEEE Transactions on Acoustics, Speech and Signal Processing, 1981,29(2):155-162.
- [7] Richard Schreier, Gabor C, Temes. Understanding delta-sigma data converter[M]. New Jersey: Wiley & Sons INC,2005.
- [8] 马波,袁凌. 一种单环 5 阶高精度音频 Δ - Σ A/D 转换器[J]. 微电子学,2013,30(1):33-36.

作者简介:

杜兴男,(1990-),硕士研究生. 研究方向为大规模混合信号集成电路设计.

石寅男,(1951-),研究员,博士生导师. 研究方向为新型高速电路、混合信号电路和射频电路设计.

(上接第 105 页)

- [3] Abo M, Gray P R. A 1.5-V, 10-bit, 14.3-MS/s CMOS pipeline analog-to-digital converter[J]. IEEE Journal of Solid-State Circuits, 1999, 34(5): 599-606.
- [4] 吕坚,李华,周云,等. 高性能 CMOS 采样保持电路的设计[J]. 微电子学与计算机,2010,27(3):140-143.
- [5] Zhang D, Bhide A, Alvandpour A. A 53-nW 9.1-ENOB 1-kS/s SAR ADC in 0.13- μ m CMOS for Medical Implant Devices[J]. IEEE Journal of Solid-State Circuits, 2012, 47(7): 467-470.
- [6] Hong H C, Lee G M. A 65-fJ/conversion-step 0.9-V 200-kS/s rail-to-rail 8-bit successive approximation ADC[J]. IEEE Journal of Solid-State Circuits, 2007, 42(10): 2161-2167.
- [7] Huang G Y, Liu C C, Lin Y Z, et al. A 10-bit 12-MS/s successive approximation ADC with 1.2-pF input capacitance[C]//IEEE International Conference on ASSCC. Taipei, Taiwan: IEEE,2009: 157-160.

- [8] Sumanen L, Waltari M, Halonen K A I. A 10-bit 200-MS/s CMOS parallel pipeline A/D converter[J]. IEEE Journal of Solid-State Circuits, 2001, 36(7): 1048-1055.
- [9] Li J, Zeng X Y, Xie L, et al. A 1.8-V 22-mW 10-bit 30 MS/s pipelined CMOS ADC for low-power sub-sampling applications[J]. IEEE Journal of Solid-State Circuits, 2008, 43(2): 312-329.
- [10] 林平分,周钢. 超过 100dB SFDR 的 1.2V 14 位 20M 采样保持放大器[J]. 微电子学与计算机,2008,25(12): 92-95.

作者简介:

魏榕山男,(1980-),博士,副教授. 研究方向为集成电路设计.

张泽鹏男,(1989-),硕士研究生. 研究方向为集成电路设计.